

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-079312

(43)Date of publication of application : 22.04.1986

(51)Int.Cl.

H03F 3/45

(21)Application number : 59-202509

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 27.09.1984

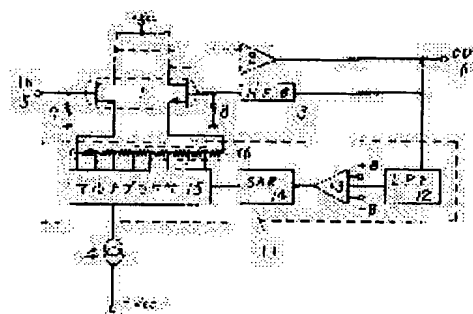
(72)Inventor : IKEDA TOSHIHIRO

(54) DC AMPLIFIER

(57)Abstract:

PURPOSE: To cancel an offset voltage with no adjustment, by inputting an output voltage in a window comparator through a ultra-low band LPF and, when the output voltage exceeds a level, sending a control signal to a multiplexer and controlling the midpoint of the common source resistance of a differential amplifier.

CONSTITUTION: When a DC drift voltage Δv occurs at an output element 7 by the fluctuation of the element of a differential amplifier 1 or temperature change, etc., only the voltage Δv is fetched by an ultra-low band LPF12 and inputted in a window comparator 13. Then, when $|\Delta v| > \text{reference voltage B}$, start signals are successively sent to a comparison register (SAR)14. Upon receiving the start signals, the SAR14 is actuated and sends a control signal to the control input of a multiplexer 15 and the position of the midpoint of an aggregated resistance 16 connected to the control input operates in the direction, in which no DC drift voltage occurs, and, when the DC drift voltage becomes lower than a reference voltage, the midpoint of the aggregated resistance 16 is fixed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-79312

⑤ Int.Cl.⁴

H 03 F 3/45

識別記号

庁内整理番号

6628-5J

④ 公開 昭和61年(1986)4月22日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 直流増幅器

⑰ 特 願 昭59-202509

⑱ 出 願 昭59(1984)9月27日

⑲ 発 明 者 池 田 敏 弘 門真市大字門真1006番地 松下電器産業株式会社内

⑳ 出 願 人 松下電器産業株式会社 門真市大字門真1006番地

㉑ 代 理 人 弁理士 中尾 敏男 外1名

2 ページ

明 細 書

1、発明の名称

直流増幅器

2、特許請求の範囲

増巾器の出力に含まれる直流成分を超低域通過フィルタにより検出し、その検出した直流成分をウインドコンパレータに入力し、あるレベルを超えた時に逐次比較レジスタを動作させてマルチプレクサに制御信号を送り、初段増幅器の共通ソース抵抗の中点を制御するオフセット調整手段を備えたことを特徴とする直流増幅器。

3、発明の詳細な説明

産業上の利用分野

・ 本発明は、直流増幅器に関するものである。

従来例の構成とその問題点

近年、信号増幅器は信号系からコンデンサを取り除いた直流(以下DCという)増幅器が主流になり、DCオフセット調整が不可欠になってきた。

以下に従来のDCオフセット調整回路を備えるDCアンプについて説明する。第1図は従来のD

Cオフセット調整回路を備えるDCアンプを示しており、1は初段の差動増幅器、2は出力増幅器、3はNFB素子、4は定電流回路、5は入力端子、6は出力端子、7は入力端子5とアースに接続された抵抗、8はNFB素子3とアースに接続された抵抗、9はDCオフセット調整回路本体である。差動増幅器1に用いられる素子は必ずしも完全にペア性がとれていないため、ソース抵抗を調整することでオフセット電圧を対策している。DCオフセット調整回路本体9はこのソース抵抗調整のためのものである。

しかし、上記の従来の構成では、半固定の調整を必要とし、オフセット電圧は温度に依存するため完全にDCドリフトを制御するのは困難であるという問題を有していた。

発明の目的

本発明は、無調整でDCオフセットを処理できる直流増幅器を提供することを目的とする。

発明の構成

本発明の直流増幅器は、出力増幅器の出力にD

DCドリフトが生じないように出力電圧からDC分を取り出す超低域通過フィルタを介してウインドコンパレータに入力し、あるレベルを超えた時、逐次比較レジスタを動作させてマルチプレクサに制御信号を送り、初段の差動増幅器の共通ソース抵抗の midpoint を制御することにより、音質に悪影響を及ぼす多量のNFBを用いず素子のバラツキを補正し、無調整でオフセット電圧をキャンセルできるようにしたものである。

実施例の説明

第2図は本発明の一実施例におけるオートDCオフセット調整回路を備えるDCアンプの電氣的結線を示すものである。第2図において、第1図と同一構成個所には同一番号が附してあり、1は差動増幅器、2は増幅器、3はNFB素子、4は定電流回路、5は入力端子、6は出力端子、7は入力端子6とアースに接続された抵抗、8はNFB素子3とアースに接続された抵抗であり、これらは従来例の構成と同じものである。さらに、11はオートDCオフセット装置本体、12は出

力端子6に接続された超低域通過フィルタ(LPF)、13は超低域通過フィルタ12の出力に接続されたウインドコンパレータ、14はスタート入力を用いたウインドコンパレータ13の出力に接続した逐次比較レジスタ(SAR)、15は制御入力を逐次比較レジスタ14の出力に接続し、出力を定電流回路4に接続したマルチプレクサ、16は差動増幅器1のソースとマルチプレクサ15の入力の間に接続された集合抵抗である。

以上のように構成された本実施例のオートDCオフセット調整回路付のDCアンプについて、以下その動作を説明する。初期状態において集合抵抗16の2等分されたところに差動増幅器1のソース抵抗の midpoint がある。いま、差動増幅器1の素子のバラツキあるいは温度変化等により出力端子7にDCドリフト電圧 ΔV が生じたとなると、超低域通過フィルタ12によって音楽信号を取り除きDCドリフト電圧 ΔV だけを取り出し、それをウインドコンパレータ13に入力することにより出力端子6にDC電圧が生じたことを判断し、

$|\Delta V| > \text{基準電圧 } B$ の時、逐次比較レジスタ14にスタート信号を送り逐次比較レジスタ14が動作し、マルチプレクサ15の制御入力に制御信号を送りマルチプレクサ15の入力に接続された集合抵抗16の midpoint の位置がDCドリフト電圧が生じない方向に働き、DCドリフト電圧が基準電圧より小さくなった時、集合抵抗16の midpoint は固定される。また、何らかの原因により出力端子6にDCドリフト電圧が生じた場合には前述した動作と同様に動作し新たに集合抵抗16の midpoint が決定される。

以上の実施例によれば、オートDCオフセット装置本体11により無調整でDCオフセット電圧を調整することができる。

なお、実施例ではオートDCオフセット装置を初段差動増幅器に適用した場合について説明したが、これ以外に第3図に示すように初段プッシュプルの場合、第4図に示すようにOPアンプの場合のように、いろいろな増幅器等に应用することができることは云うまでもない。

発明の効果

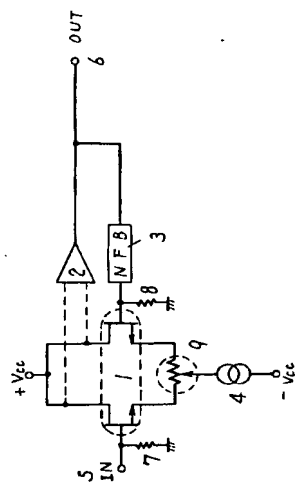
本発明は、増幅器の出力端子に接続された超低域通過フィルタの出力をウインドコンパレータを介して逐次比較レジスタの制御入力に接続し、その逐次比較レジスタの出力をマルチプレクサの制御入力に接続し、マルチプレクサの入力に接続された集合抵抗の両端を差動増幅器のソースのそれぞれに接続し、マルチプレクサの出力を定電流回路に接続することにより、音質に悪影響を及ぼす多量のNFBを用いず素子のバラツキを補正し、無調整でオフセット電圧を小さくすることができる。よって、生産において多少の素子のバラツキは無視でき、オフセット調整工程を省くことができる。

4. 図面の簡単な説明

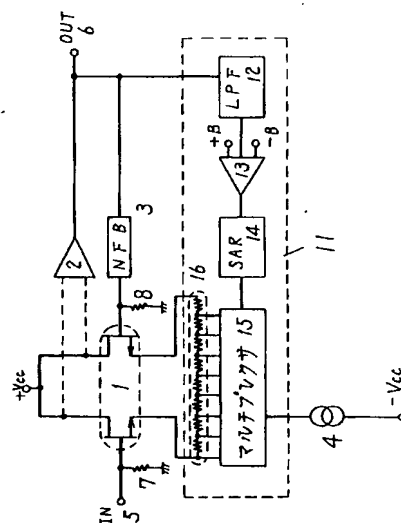
第1図は従来の直流増幅器の回路図、第2図は本発明の一実施例における直流増幅器の回路図、第3図および第4図は本発明の他の実施例における直流増幅器の回路図である。

1 …… 差動増幅器、2 …… 増幅器、3 …… NFB素子、4 …… 定電流回路、5 …… 入力端子、6 …… 出力端子、9 …… DCオフセット調整用半固定

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

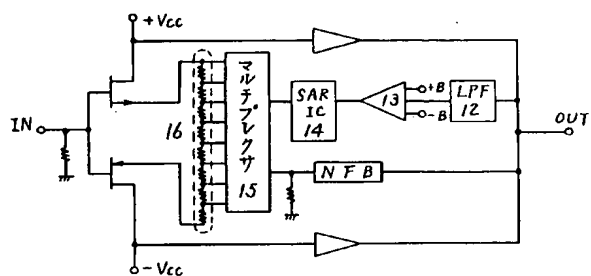


图一 抹



第 2 区

第 3 図



第 4 図

